

⑫ 公開特許公報(A) 平3-41820

⑤ Int.Cl.³

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)2月22日

H 03 K 19/0185
17/16
19/0175

L 8124-5 J

8941-5 J H 03 K 19/00
8941-5 J1 0 1 D
F

審査請求 未請求 請求項の数 1 (全13頁)

⑭ 発明の名称 出力バッファ回路

⑯ 特 願 平1-176699

⑰ 出 願 平1(1989)7月7日

⑱ 発 明 者 橋 本 潔 和 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 越 場 隆

明 細 書

1. 発明の名称 出力バッファ回路

2. 特許請求の範囲

ソースが電源に、ドレインが出力端子にそれぞれ接続された第1のPチャネル型電界効果型トランジスタと、

入力が入力端子からの入力信号を受け、出力が該第1のPチャネル型電界効果型トランジスタのゲートに接続された第1のインバータと、

該第1のPチャネル型電界効果型トランジスタと並列に、ソースが電源に、ドレインが出力端子に接続された第2のPチャネル型電界効果型トランジスタと、

入力が入力端子からの入力信号を受け、出力が該第2のPチャネル型電界効果型トランジスタのゲートに接続された第2のインバータと、

ドレインが出力端子に、ソースが接地にそれぞれ接続された第1のNチャネル型電界効果型トランジスタと、

入力が入力端子からの入力信号を受け、出力が該第1のNチャネル型電界効果型トランジスタのゲートに接続された第3のインバータと、

前記第1のNチャネル型電界効果型トランジスタと並列に、ドレインが出力端子に、ソースが接地に接続された第2のNチャネル型電界効果型トランジスタと、

入力が入力端子からの入力信号を受け、出力が該第2のNチャネル型電界効果型トランジスタのゲートに接続された第4のインバータとを備え、

前記第1のインバータの論理しきい値と前記第2のインバータの論理しきい値とが互いに異なるように設定され、

且つ、

前記第3のインバータの論理しきい値と前記第4のインバータの論理しきい値とが互いに異なるように設定されていることを特徴とする出力バッファ回路。

3. 発明の詳細な説明

産業上の利用分野

本発明は、絶縁ゲート型電界効果型トランジスタ（以下、IGFETと記載する）を主な構成要素とする半導体記憶装置における出力バッファ回路の新規な構成に関する。

従来の技術

第4図は、半導体記憶装置に用いられる出力バッファ回路OUT3の典型的な構成を示す回路図である。尚、第4図において、FET Q_{01} 、 Q_{02} 、 Q_{03} 、 Q_{04} 、 Q_{05} 、 Q_{06} 、 Q_{07} 、 Q_{08} 、 Q_{09} 、 Q_{10} 、 Q_{11} および Q_{12} はPチャネル型エンハンスメントIGFET（以下、PE-IGFETと記載する）であり、FET Q_{01} 、 Q_{02} 、 Q_{03} 、 Q_{04} 、 Q_{05} 、 Q_{06} 、 Q_{07} 、 Q_{08} および Q_{09} は、Nチャネル型エンハンスメントIGFET（以下、NE-IGFETと記載する）である。

第4図において、CC1は、外部電源に接続される半導体記憶装置のケースの電源ピンを、CC

更に、SS2は、出力バッファ回路最終段専用の内部のGNDを示しており、 R_{ss2} は、SSPとSS2の間に付加される寄生抵抗を示している。 D_{out} は、出力バッファ回路の出力で半導体記憶装置の出力ピンに接続される。また、 S_{out} は、半導体記憶装置内のセンスアンプ回路の出力である。RDは、半導体記憶装置内の制御回路で発生され、読み出しモード時は“H”になる信号であり、RDはRDの反転の信号である。

尚、第4図に示した回路において、出力バッファ回路最終段に専用の電源およびGNDを用いる理由は以下のようなものである。

即ち、出力バッファ回路最終段におけるゲート幅とゲート長との比（以下、 (W_{gate}/L_{gate}) と記載する）は、 D_{out} に付加される容量（通常は100 pF程度）を高速で充放電するために、例えば $(W_{gate}/L_{gate}) = 500/5$ 程度と、一般に大きく設計されている。従って、内部回路と電源およびGNDを共通にすると、出力バッファ回路最終段がスイッチングした時に発生したノイ

Pは、半導体記憶装置の電源パッドをそれぞれ示している。また、 L_{cc} は、CC1とCCPの間に付加されるケースのリードおよびボンディングワイヤの自己インダクタンスに起因する寄生インダクタンスを集中定数として示したものである。

また、CC1は内部回路の電源を、 R_{cc1} は、CCPとCC1の間に付加されるアルミまたはポリシリコン等の配線抵抗に起因する寄生抵抗を模式的に示したものであり、CC2は、出力バッファ回路最終段専用の内部の電源を、 R_{cc2} は、CCPとCC2の間に付加される寄生抵抗を示している。

一方、SSLは、外部接地に接続される半導体記憶装置のケースのGNDピンを、SSPは半導体記憶装置のGNDパッドをそれぞれ表しており、 L_{ss} は、SSLとSSPの間に付加される寄生インダクタンスを示している。また、SS1は、内部回路のGNDを、 R_{ss1} は、SSPとSS1の間に付加される寄生抵抗をそれぞれ模式的に示している。

ズが、内部回路の電源およびGNDに回り込んで、センスアンプ回路等の誤動作を生じる場合があるからである。

第5図は、第4図に示した出力バッファ回路の動作を説明するための信号波形図である。より詳細には、第5図(a)、(b)および(c)は、タイミング t_1 に、 S_{out} が“L”から“H”へ、タイミング t_2 に S_{out} が“H”から“L”へ変化した時の各節点の電圧波形と、FET Q_{01} に流れる電流 I_{01} と、FET Q_{02} に流れる電流 I_{02} の時間変化とをそれぞれ示しており、表示した記号は、第4図の各節点の記号に対応する。

尚、以下の説明は、出力バッファ回路の読み出しモードについて専ら説明するので、RDは“H”、 \overline{RD} は“L”の状態を保持しているものとする。また、ここでは、半導体記憶装置は8ビット出力で、8つの出力バッファ回路が、それぞれの出力 D_{out} の各出力ピンに接続されているものとする。

さて、第5図(a)に示すように、タイミング t_1 に S_{out} が“L”→“H”に変化すると、

節点OAが“H”→“L”に、
 節点OBが“L”→“H”に、
 節点OCが“H”→“L”に、
 節点ODが“L”→“H”に、
 節点OEが“H”→“L”に
 それぞれ変化し、従って、FETQ₀₁が導通し、
 一方、Q₀₁は非導通になる。

この時、一般に出力バッファ回路では、電源およびGNDのノイズ対策のために、節点OEの方が節点OCよりも早く“H”→“L”になるように設計されており、これによってFETQ₀₁およびQ₀₁に貫通電流が流れないように構成されている。一方、この状態では、FETQ₀₁を通して、CC1からD₀₁にI₀₁として示すような充電電流が流れ、D₀₁の電圧は0Vから次第に上昇して(V_{cc})で平衡する。

ここで、R_{cc1}=10Ω、FETQ₀₁の(W₀₁/L₀₁)が1000/5であるときに(I₀₁)=20mAになるような8つの出力バッファ回路が、すべて“L”→“H”へ変化したとすると、CC2

の(V_{cc})からの低下量ΔV_{cc1}は、ΔV_{cc1}=10×8×0.02=1.6Vとなる。また、この時、CC2の電圧低下がトリガーとなり、L_{cc}およびR_{cc1}にも電流が振動的に流れる。

ここで、R_{cc1}、CC1、CCPおよびCC1に付加された容量C_{cc}(図示せず)とL_{cc}とがR-L-C回路を形成するので、第5図(a)に示すように、CC1の電圧は振動して次第に減衰し、最後に(V_{cc})で平衡する。その振幅と周期は、L_{cc}とR_{cc1}とC_{cc}の値で決まる係数により決定されることになる。第5図のCC1は、この様子を示したものである。

即ち、タイミングt₁にCC1が(V_{cc})から低下する量は、タイミングt₁のI₀₁の電流変化(d(I₀₁)/dt)に比例する。このため、FETQ₀₁の(W₀₁/L₀₁)を大きく設計すればするほどCC1に乗るノイズの量は多くなる。

また、CC1とSS1は、容量で結合されているので、CC1に乗ったノイズがSS1にも乗り、このノイズはCC1と同位相で変化し、その振幅

はCC1の振幅よりも小さい。

逆に、タイミングt₂にS₀₁が“H”→“L”に変化すると、

節点OAが“L”→“H”に、
 節点OBが“H”→“L”に、
 節点OCが“L”→“H”に、
 節点ODが“H”→“L”に、
 節点OEが“L”→“H”に
 それぞれ変化し、FETQ₀₁は非導通に、Q₀₁は導通になる。

この時、この出力バッファ回路OUT3では、前述したノイズ対策のために、節点OCが節点OEよりも早く“L”→“H”になるように構成されているので、第5図(c)にI₀₁として示すように、FETQ₀₁を通してD₀₁からSS2に向かって放電電流が流れる。このD₀₁の電圧は(V_{cc})から次第に低下して0Vで平衡する。

ここで、R_{ss1}=5Ω、FETQ₀₁の(W₀₁/L₀₁)が1000/5のときに(I₀₁)=20mAとなるような8個の出力バッファ回路がすべて

“H”→“L”に変化したとすると、SS2の0Vからの上昇量ΔV_{ss1}は；

$$\Delta V_{ss1} = 5 \times 8 \times 0.02 = 0.8V$$

となる。また、この時、SS2の電圧上昇がトリガーとなり、L_{ss}およびR_{ss1}にも電流が振動的に流れる。従って、前述の場合と同様に、R_{ss1}、SS1、SSPおよびSS1に付加された容量C_{ss}(図示せず)とL_{ss}とがR-L-C回路を形成するので、第5図(b)に示すように、また、CC1と同様に、SS1の電圧が振動する。

ここで、タイミングt₂においてSS1が0Vから上昇する量は、タイミングt₂のI₀₁の電流変化(d(I₀₁)/dt)に比例するので、Q₀₁の(W₀₁/L₀₁)が大きいほど、SS1に乗るノイズの量は多くなる。尚、CC1にもSS1と同位相でノイズが乗り、CC1の振幅はSS1の振幅よりも小さくなる。

このように、出力バッファ回路では、出力バッファ回路の最終段がスイッチングした時に、電源およびGNDにノイズが発生する。従って、従来

は、出力バッファ回路の最終段の電源GNDを他の内部回路の電源およびGNDと別にしたり、出力バッファ回路の最終段のPE-IGFETとNE-IGFETとが同時に導通しないような構成を採用する等して、ノイズが内部回路に影響を与えないように対策を施していた。

しかしながら、一方で、上述のような回路はに対する高速化への要求は近年非常に高まっており、出力バッファ最終段の (W_{out}/L_{out}) を大きく設計する必要が生じている。これは、前述した $(d(I_{ps})/dt)$ および $(d(I_{ns})/dt)$ が大きくなることを意味し、出力バッファ最終段のスイッチングによるノイズが、内部回路の電源やGNDに回り込み易くなることを意味する。即ち、高速動作を目的とした設計では、内部回路の電源およびGNDに発生する振動によりセンスアンプ回路等の感度の高い回路が誤動作するという問題を生じている。

第6図は、上述のようなセンスアンプ回路の典型的な例として、記憶素子としてFAMOSを用

いた回路の構成を示す回路図である。

即ち、この回路においては、節点SCが、FET Q_{s1} と Q_{s2} との論理しきい値付近にバイアスされているので非常に感度が高く、高速で動作する。FET Q_{s1} 、 Q_{s2} はPE-IGFETであり、FET Q_{s3} 、 Q_{s4} 、 Q_{s5} はNE-IGFETである。また、 M_{11} および M_{12} は記憶素子であり、記憶素子 M_{11} には“0”が、記憶素子 M_{12} には“1”が格納されているものとする。更に、 X_1 、 X_2 はデコードXの、 Y_1 はデコードYのそれぞれ出力であり、選択された時はそれぞれ (V_{cc}) が印加される。

尚、このセンスアンプ回路は、インバータ I_1 を介して出力バッファ回路に接続されている。

第7図は、第6図に示したセンスアンプ回路の動作を説明するための信号波形を示す図であり、タイミング t_1 に記憶素子 M_{11} が選択され、タイミング t_2 に記憶素子 M_{12} が選択された場合の各節点における信号の電圧波形を示したものである。尚、第7図中に示された各記号は、第6図中に示

す各節点の記号に対応している。

第7図において、 $V_{sa}(off)$ は、“0”を記憶した記憶素子を選択した時の節点SAの平衡電圧を、 $V_{sa}(on)$ は、“1”を記憶した記憶素子を選択した時の節点SAの平衡電圧を、それぞれ示している。また、 $V_{sb}(on)$ は、“1”を記憶した記憶素子を選択した時の節点SBの平衡電圧を、 $V_{sb}(off)$ は、“0”を記憶した記憶素子を選択した時の節点SBの平衡電圧を、それぞれ示している。また、点線で示した波形は、後述する誤動作が発生しなかった場合の各節点の電圧波形を示すものである。

いま、タイミング t_1 に、 X_1 が“H”、 Y_1 が“H”になり記憶素子 M_{11} が選択されたものとする。このとき、記憶素子 M_{11} は非導通になっているので、

節点SCの電圧は上昇し、

節点SBの電圧は低下し、

節点SAの電圧は上昇し、

節点SBの電圧は $V_{sb}(off)$ に向かい、

節点SAの電圧は $V_{sa}(off)$ に向かう。

ここで、 I_1 が節点SAの電圧変化を検出し、出力 S_{out} は“L”に変化する。従って、第5図に示すように、出力バッファ回路の出力 D_{out} は、“H”から“L”へ変化する。

また、この動作に伴い、SS1の電圧が瞬間的に上昇するので、センスアンプ回路のFET Q_{s1} のゲートソース間の電圧差が小さくなりFETは Q_{s1} が非導通になる。すると、あたかも“1”が記憶された記憶素子が選択されたかのように節点SBの電圧が再び上昇し、また、節点SAの電圧は再び低下する。このため、 S_{out} および D_{out} の電圧も“L”→“H”に変化する。この時、SS1のノイズの程度が軽い場合は、第7図に示すように、節点SAおよび節点SBの電圧は本来の平衡電圧まで復帰する。

以上のような動作のために、この従来の出力バッファ回路を用いた半導体記憶装置のスイッチングスピードは、本来のスイッチングスピードに対して、 t_d だけ遅れることになる。

一方、タイミング t_1 において X_1 が "H" になり、記憶素子 M_{11} が選択された場合、記憶素子 M_{11} が導通するので、

節点 S_C の電圧は低下し、

節点 S_B の電圧は上昇し、

節点 S_A の電圧は低下し、

節点 S_B の電圧は V_{11} (on) に向かい、

節点 S_A の電圧は V_{11} (on) に向かう。

ここで、 I_1 が節点 S_A の電圧変化を検出し、出力 S_{out} は "H" に変化する。従って、出力バッファ回路の出力 D_{out} は、"L" → "H" に変化する。

これに伴い、CC1の電圧が瞬時的に低下するために、第8図に示すセンスアンプ回路の Q_{12} のゲートソース間の電圧差が小さくなり、 Q_{12} が非導通になり、あたかも "0" が記憶された記憶素子が選択されたかのように節点 S_B の電圧は再び低下し、節点 S_A の電圧は再び上昇する。

以上のような動作のために、 S_{out} および D_{out} の電圧も "H" → "L" に変化する。ここで、C

CC1のノイズの程度が軽い場合は、第7図に示すように、節点 S_A および節点 S_B の電圧は本来の平衡電圧まで復帰する。

従って、従来技術の出力バッファ回路を用いた場合、半導体記憶装置のスイッチングスピードは、本来のスイッチングスピードに対して t_d だけ遅れることになる。

更に、上述のようなノイズの程度がより大きい場合は、 D_{out} が "H" を出力すると電源電圧が低下し、センスアンプ回路が誤動作を起こして D_{out} が "L" を出力するようになる。このため、GND電位が上昇し、今度は、 D_{out} が "H" を出力するようになるので、センスアンプ回路と出力バッファ回路との間で正帰還がかかり、回路は発振状態になってしまう。

発明が解決しようとする課題

以上述べたように、一般的な出力バッファ回路では、動作を高速化のためには出力バッファ回路の最終段を構成する P-E IGFET と N-E I

GFETの (W_{out}/L_{out}) を大きく設定する必要があり、その場合は、最終段の P-E IGFET が導通した瞬間に極めて大きな充電電流 $[I_{p1}]$ が流れる。

このため、出力バッファ回路の最終段がスイッチングした瞬間の $(d[I_{p1}]/dt)$ または $(d[I_{n1}]/dt)$ が大きくなり、ケースの LEAD およびボンディング線に付加される寄生インダクタンスと、電源パッドまたは GND パッドから内部回路の電源または GND に接続されるアルミ配線やポリシリコン配線の寄生抵抗との影響を受け、センスアンプ回路等の高感度な内部回路の電源 GND にノイズが発生して誤動作を誘起するという欠点がある。

そこで、本発明は、上記従来技術の問題点を解決し、高速に動作する半導体記憶装置においても、誤動作を誘起することなく使用することのできる新規な出力バッファ回路の構成を提供することをその目的としている。

課題を解決するための手段

即ち、本発明に従うと、ソースが電源に、ドレインが出力端子にそれぞれ接続された第1のPチャネル型電界効果型トランジスタと、入力が入力端子からの入力信号を受け、出力が該第1のPチャネル型電界効果型トランジスタのゲートに接続された第1のインバータと、該第1のPチャネル型電界効果型トランジスタと並列に、ソースが電源に、ドレインが出力端子に接続された第2のPチャネル型電界効果型トランジスタと、入力が入力端子からの入力信号を受け、出力が該第2のPチャネル型電界効果型トランジスタのゲートに接続された第2のインバータと、ドレインが出力端子に、ソースが接地にそれぞれ接続された第1のNチャネル型電界効果型トランジスタと、入力が入力端子からの入力信号を受け、出力が該第1のNチャネル型電界効果型トランジスタのゲートに接続された第3のインバータと、前記第1のNチャネル型電界効果型トランジスタと並列に、ドレインが出力端子に、ソースが接地に接続された第

2のNチャネル型電界効果型トランジスタと、入力が入力端子からの入力信号を受け、出力が該第2のNチャネル型電界効果型トランジスタのゲートに接続された第4のインバータとを備え、前記第1のインバータの論理しきい値と前記第2のインバータの論理しきい値とが互いに異なるように設定され、且つ、前記第3のインバータの論理しきい値と前記第4のインバータの論理しきい値とが互いに異なるように設定されていることを特徴とする出力バッファ回路が提供される。

作用

前述した従来の出力バッファ回路に対し、本発明に係る出力バッファ回路では、最終段のPE-IGFETが、互いに並列な第1および第2のPE-IGFETにより構成されており、これら1対のPE-IGFETは、それぞれ別のインバータによって駆動されるように構成されている。また、最終段のNE-IGFETも、互いに並列な第1および第2のNE-IGFETにより構成

されており、これらのゲートも、同様にゲートが互いに別のインバータで駆動されている。

従って、一方のPE-IGFETおよびNE-IGFETの (W_{gate}/L_{gate}) は、動作速度を考慮せず小さく設定することができるので、出力バッファ回路の最終段がスイッチングした瞬間の充電電流 $[I_{p1}]$ または放電電流 $[I_{n1}]$ を小さくすることができる。

また、出力バッファ回路の最終段がスイッチングした瞬間の $(d[I_{p1}]/dt)$ および $(d[I_{n1}]/dt)$ は、従来の出力バッファ回路と比較して小さくすることができるので、出力バッファ回路の最終段がスイッチングした瞬間に内部回路の電源GNDに乗るノイズの量は少なくなる。従って、半導体記憶装置の出力バッファとして使用した場合、センスアンプ回路の誤動作を誘起することがない。また、第2のPE-IGFETと第2のNE-IGFETの (W_{gate}/L_{gate}) を大きく設定することにより、出力バッファ回路のスイッチングスピードを高速にすることができ

るので、高速動作が要求される半導体記憶装置においても使用することができる。

以下、図面を参照して本発明をより具体的に説明するが、以下の開示は本発明の一実施例に過ぎず、本発明の技術的範囲を何ら限定するものではない。

実施例1

第1図は、本発明に係る出力バッファ回路の具体的な構成例を示す回路図である。尚、第1図において、第4図に示した従来の回路と同じ構成要素には同じ参照番号を付して説明を省略している。また、第4図において、FETQ₀₁₁、Q₀₁₁、Q₀₁₂、Q₀₁₃はPE-IGFETであり、FETQ₀₂₁、Q₀₂₁、Q₀₂₂、Q₀₂₃はNE-IGFETである。

第1図に示す出力バッファ回路OUT1は、第4図に示す従来例と比較すると、その最終段において、第1のPE-IGFETQ₀₁₁に加えて第2のPE-IGFETQ₀₁₂を備えている点と、

FETQ₀₂₁のゲートを、FETQ₀₂₁およびQ₀₂₂から構成される第3のインバータにより駆動している点で異なっている。

ここで、FETQ₀₁₁とQ₀₁₁とは、互いに共通に、ソースが電源に、ドレインが出力端子に接続されている。また、FETQ₀₂₁は、FETQ₀₁₁よりも (W_{gate}/L_{gate}) が小さく設計されている。尚、本実施例においては、

Q₀₁₁: $(W_{gate}/L_{gate}) = 30/3$ に対して

Q₀₁₂: $(W_{gate}/L_{gate}) = 30/10$ と設定されている。従って、節点OPが“H”→“L”に変化するタイミングは、節点OCが“H”→“L”に変化するタイミングよりも遅くなる。このように設計することにより、FETQ₀₁₁が導通するタイミングをFETQ₀₁₂が導通するタイミングよりも遅くすることができる。

また、この出力バッファ回路は、最終段において、第1のNE-IGFETQ₀₂₁に加えて第2のNE-IGFETQ₀₂₂を備えている点と、FETQ₀₂₁のゲート駆動するFETQ₀₂₂および

Q_{011} から構成される第4のインバータを備える点でも、従来例と異なっている。

ここで、 $FET Q_{012}$ および Q_{013} は、互いに共通に、ドレインが出力端子に、ソースが接地に接続されている。また、 $FET Q_{012}$ は、 $FET Q_{011}$ よりも (W_{012}/L_{012}) が小さく設計されている。尚、本実施例においては、

$$Q_{012} : (W_{012}/L_{012}) = 60/4 \text{ に対して}$$

$Q_{013} : (W_{013}/L_{013}) = 60/10$ と設定されている。従って、節点OGが“L”→“H”に変化するタイミングは、節点OCが“L”→“H”に変化するタイミングよりも遅くなる。このように設計することにより、 $FET Q_{012}$ が導通するタイミングは、 $FET Q_{013}$ が導通するタイミングよりも遅くなる。

以上のように構成された最終段を備えた出力バッファ回路では、 S_{011} が“L”から“H”に変化して最終段がスイッチングすると、まず $FET Q_{012}$ が導通して D_{011} を充電し始め、ある一定時間経過後、 $FET Q_{013}$ が導通して D_{011} を更に

(V_{cc}) まで充電する。尚、 $FET Q_{012}$ が導通するタイミングは、 Q_{013} の (W_{013}/L_{013}) により制御することができる。

また、この出力バッファ回路において、 S_{011} が“H”から“L”へ変化して最終段がスイッチングすると、まず、 $FET Q_{012}$ が導通して D_{011} が放電され始めた後、ある一定時間経過後に $FET Q_{013}$ が導通して D_{011} をさらに 0V まで放電する。尚、 $FET Q_{012}$ が導通するタイミングは、 $FET Q_{013}$ の (W_{013}/L_{013}) により制御することができる。

第2図(a)、(b)および(c)は、第1図に示す出力バッファ回路において、 $FET Q_{012}$ および Q_{013} と $FET Q_{012}$ および Q_{013} とを、それぞれ (W_{012}/L_{012}) が同一となるように構成し、また、 $FET Q_{012}$ 、 Q_{013} 、 Q_{012} 、 Q_{013} 、 Q_{012} および Q_{013} の (W_{012}/L_{012}) を、それぞれ、30/10、60/10、200/5、100/5、1200/5 および 600/5 となるように構成した場合の、この回路の動作を説明するための信号波形図である。よ

り詳細には、第2図(a)、(b)および(c)は、それぞれ、 S_{011} がタイミング t_1 で“L”→“H”に、タイミング t_2 で“H”→“L”に変化したときの各節点の電圧波形と、 $FET Q_{012}$ に流れる電流 I_{p11} と、 $FET Q_{013}$ および Q_{013} に流れる電流 $(I_{p11} + I_{p12})$ の時間変化と $FET Q_{012}$ に流れる電流 I_{p11} と、 $FET Q_{013}$ と Q_{013} に流れる電流 $(I_{p11} + I_{p12})$ の時間変化を示したものである。

該1図(a)に示すように、タイミング t_1 において S_{011} が“L”→“H”に変化すると、従来例について既に説明したように、節点OCが“H”→“L”に変化する。いま、節点OEは、節点OCよりも早く“H”→“L”に変化するように回路設計されているとすると、まず、 $FET Q_{012}$ が導通して、第2図(c)に示すように、 D_{011} に充電電流 I_{p11} が流れ、第2図(a)に示すように、 D_{011} の電圧は 0V から上昇する。

ここで、本実施例の場合、 $FET Q_{012}$ は、従来例の回路の $FET Q_{012}$ よりも (W_{012}/L_{012}) を小さく設定されているので、 (I_{p11}) が (I_{p12})

よりも少なくなる。従って、 D_{011} の電圧の上昇速度は、タイミング t_1 までは、従来例に比べて遅くなる。

次に、第2図(a)に示すように、タイミング t_1 において節点OFが“H”から“L”に変化すると $FET Q_{012}$ が導通する。従って、 $FET Q_{012}$ と Q_{013} とが共に導通することになり、第2図(c)に示すように、充電電流 $(I_{p11} + I_{p12})$ が CC2 から D_{011} に流れ、第2図(a)に示すように、 D_{011} の電圧は更に上昇して (V_{cc}) で平衡する。

一方、第2図(a)に示すように、タイミング t_2 に S_{011} が“H”から“L”に変化すると、節点OEが“L”→“H”に変化する。ここで、節点OCの方が節点OEよりも“L”→“H”の変化速度が速くなるように回路設計されているとすると、まず、 $FET Q_{012}$ が導通し、第2図(c)に示すように、放電電流 I_{p11} が D_{011} から SS2 に向かって流れ、第2図(a)に示すように、 D_{011} の電圧は (V_{cc}) から低下する。

本実施例の場合、 $FET Q_{012}$ は従来例の FET

TQ_{010} よりも (W_{0ATE}/L_{0ATE}) が小さく設定されているので、 (I_{011}) は (I_{010}) よりも少なく、 D_{001} の電圧の低下速度は従来例の場合に比べて、タイミング t_{011} までは遅い。

次に、タイミング t_{011} において、第2図(a)に示すように、節点OGが“L”→“H”に変化すると、 $FETQ_{010}$ が導通する。従って、 $FETQ_{010}$ と Q_{010} とが共に導通し、第2図(c)に示すように、放電電流 $(I_{011} + I_{012})$ が D_{001} からSS2に流れ、第2図(a)に示すように、 D_{001} の電圧は更に低下して0Vで平衡する。

このように、本発明に係る出力バッファ回路では、 S_{001} が“L”→“H”に変化した時に、まず、タイミング t_{011} で (W_{0ATE}/L_{0ATE}) が小さい Q_{010} が導通するので、従来の回路に比較して $(d(I_{011})/dt)$ が小さくなる。従って、出力バッファ回路の最終段のスイッチングにより Q_{010} が導通した瞬間に電源CC1およびGNDSS1に乘るノイズCC1、SS1の量は、第2図(b)に示すように、従来の回路のそれ(第5図(b))

に示すCC1、SS1)よりも少なくなる。即ち、本発明に係る出力バッファ回路を半導体記憶装置に用いた場合、センスアンプ回路等の誤動作が防止される。

また、本発明に係る出力バッファ回路では、タイミング t_{011} に、 (W_{0ATE}/L_{0ATE}) の大きい $FETQ_{011}$ が導通して、タイミング t_{011} 以後は、 $FETQ_{010}$ および Q_{011} を介して D_{001} が充電される。即ち、タイミング t_{011} 以後は高速で D_{001} が (V_{CC}) まで充電される。

一方、本発明に係る出力バッファ回路において、 S_{001} が“H”→“L”に変化した場合は、まず、タイミング t_{012} で (W_{0ATE}/L_{0ATE}) の小さい $FETQ_{010}$ が導通するので、従来に比較すると、 $(d(I_{011})/dt)$ が小さくなる。従って、出力バッファ回路の最終段がスイッチングして $FETQ_{010}$ が導通した瞬間にGNDSS1および電源CC1に乘るノイズの量が少なくなる。即ち、“H”→“L”への変化においても、センスアンプ回路等の誤動作は有効に防止される。

また、タイミング t_{012} で、 (W_{0ATE}/L_{0ATE}) の大きい $FETQ_{011}$ が導通するので、タイミング t_{012} 以後は、 $FETQ_{010}$ および Q_{011} を介して D_{001} の電荷が放電される。従って、 D_{001} は高速に放電される。

以上述べたように、本発明に係る出力バッファ回路は、最終段がスイッチングした時に内部回路の電源およびGNDに発生するノイズの量が従来技術の場合に比べ少なくなるので、半導体記憶装置に用いても、センスアンプ回路の動作が遅くなったり発振したりするような誤動作を誘起することがない。

実施例2

第3図は、本発明に係る出力バッファ回路の他の構成例を示す回路図である。尚、第1図において、第4図に示した従来の回路と同じ構成要素には同じ参照番号を付して説明を省略している。また、第4図において、 $FETQ_{011}$ 、 Q_{010} 、 Q_{011} および Q_{012} はPE-IGFETであり、FET

Q_{010} 、 Q_{011} 、 Q_{012} および Q_{013} はNE-IGFETである。また、 R_1 および R_2 は抵抗素子である。

第3図に示す出力バッファ回路OUT2では、節点OHが節点OCよりも遅いタイミングで“H”→“L”になるように設定するために、 $FETQ_{011}$ のドレインと $FETQ_{010}$ のドレインとの間に抵抗 R_1 を挿入している。また、節点OIが節点OEよりも遅いタイミングで“L”→“H”になるように設定するために、 $FETQ_{010}$ のドレインと $FETQ_{011}$ のドレインとの間に抵抗 R_2 を挿入している。

即ち、上述のように、抵抗 R_1 および R_2 を挿入することにより、 $FETQ_{011}$ が $FETQ_{010}$ よりも遅れて導通するように設定し、また、 $FETQ_{010}$ が $FETQ_{011}$ よりも遅れて導通するように設定している。換言すれば、本実施例に係る出力バッファ回路OUT2では、 $FETQ_{011}$ が導通するタイミングと $FETQ_{010}$ が導通するタイミングとを、それぞれ抵抗 R_1 および R_2 の抵抗値によ

て任意に設定することができる。

本実施例では、FET Q_{001} 、 Q_{004} 、 Q_{005} 、 Q_{006} 、 Q_{007} および Q_{008} の (W_{0ATE}/L_{0ATE}) を、実施例1のFET Q_{001} 、 Q_{004} 、 Q_{005} 、 Q_{006} 、 Q_{007} および Q_{008} の (W_{0ATE}/L_{0ATE}) と等しくなるように設計し、また、上述のように抵抗 R_1 および R_2 の抵抗値を適当に調整して、節点OHが“H”→“L”に変化するタイミングが、実施例1の節点OFが“H”→“L”に変化するトランジスタ同一になるように設定している。また、同様に、節点OIが“L”→“H”に変化するタイミングを、実施例1の節点OGが“L”→“H”に変化するタイミングと同一になるように設定している。

従って、この回路の動作は、実施例1の出力バッファ回路の動作と実質的に同一となり、これを半導体記憶装置に用いた場合、実施例1の出力バッファ回路と同様の効果がある。尚、本実施例では、抵抗 R_1 および R_2 を抵抗素子として説明したが、これをIGFET等の他の素子によって構成

することが可能なことはいうまでもない。

発明の効果

以上説明したように、本発明のに係る出力バッファ回路では、それぞれ互いに並列な1対のPE-IGFETおよびNE-IGFETにより最終段が構成されており、これらのPE-IGFETは、それぞれ別のインバータによって駆動されるように構成されている。

従って、一方のPE-IGFETおよびNE-IGFETの (W_{0ATE}/L_{0ATE}) は、動作速度を考慮せず小さく設定することができるので、出力バッファ回路の最終段がスイッチングした瞬間の充電電流 (I_{P11}) または放電電流 (I_{N11}) を小さくすることができる。

また、出力バッファ回路の最終段がスイッチングした瞬間の $(d(I_{P11})/dt)$ および $(d(I_{N11})/dt)$ は、従来の出力バッファ回路に比較して小さくすることができるので、出力バッファ回路の最終段がスイッチングした瞬間に内

部回路の電源GNDに乘るノイズの量は少なくなる。

従って、半導体記憶装置の出力バッファとして使用した場合、センスアンプ回路の誤動作を誘起することがない。また、第2のPE-IGFETと第2のNE-IGFETの (W_{0ATE}/L_{0ATE}) を大きく設定することにより、出力バッファ回路のスイッチングスピードを高速にすることができるので、高速動作が要求される半導体記憶装置においても使用することができる。

尚、前記実施例においては、出力バッファ回路の最終段のPE-IGFETとNE-IGFETとをそれぞれ2個並列に接続して構成した例を開示したが、各ゲートが別のインバータで駆動されるような構成であれば、何個並列に接続されても同様な機能を実現することが可能であり、これが本発明の範囲に含まれることはいうまでもない。

4. 図面の簡単な説明

第1図は、本発明に係る出力バッファ回路の構

成例を示す回路図であり、

第2図(a)、(b)および(c)は、第1図に示した回路の動作を説明するための信号波形図であり、

第3図は、本発明に係る出力バッファ回路の外の構成例を示す回路図であり、

第4図は、従来の出力バッファ回路の典型的な構成を示す回路図であり、

第5図(a)、(b)および(c)は、第4図に示した回路の動作を説明するための信号波形図であり、

第6図は、第4図に示す出力バッファ回路と共に使用される半導体記憶装置のセンスアンプ回路の構成を示す回路図であり、

第7図は、第6図に示したセンスアンプ回路の動作を説明するための信号波形図である。

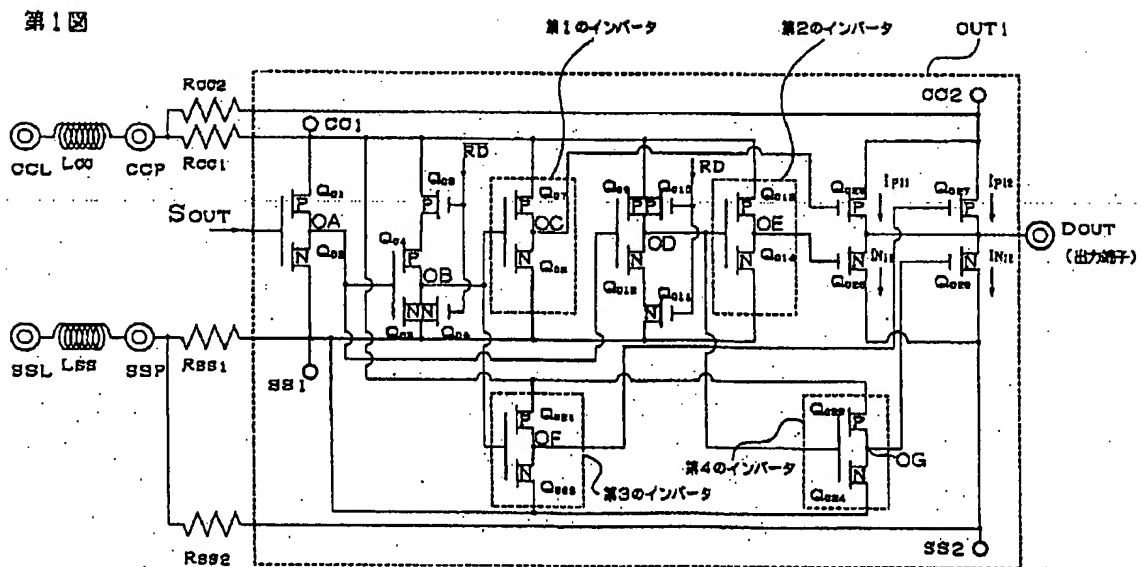
(主な参照符号)

Q_{001} 、 Q_{003} 、 Q_{004} 、 Q_{005} 、 Q_{006} 、

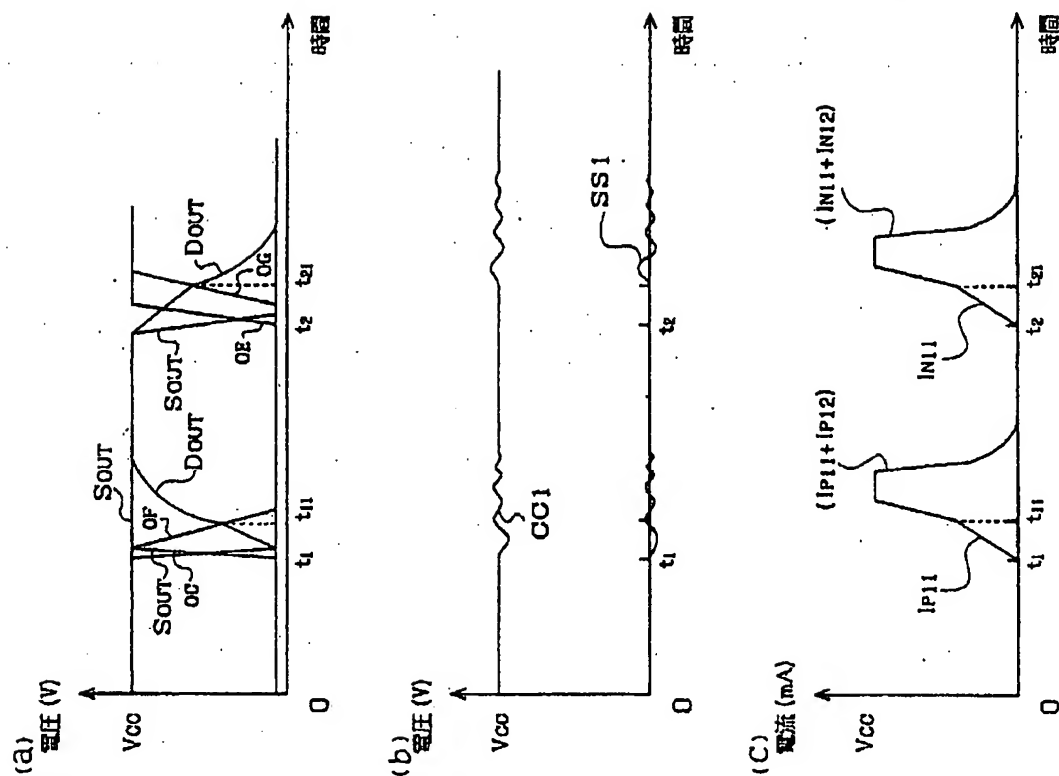
Q_{007} 、 Q_{008} 、 Q_{009} 、 Q_{010} 、 Q_{011} 、 Q_{012} 、 Q_{013} 、 Q_{014} 、 Q_{015} 、 Q_{016} 、 Q_{017} 、 Q_{018} 、 Q_{019} 、 Q_{020} 、 Q_{021} 、 Q_{022} 、 Q_{023} 、 Q_{024} 、 Q_{025} 、 Q_{026} 、 Q_{027} 、 Q_{028} 、 Q_{029} 、 Q_{030} 、 Q_{031} 、 Q_{032} 、 Q_{033} 、 Q_{034} 、 Q_{035} 、 Q_{036} 、 Q_{037} 、 Q_{038} 、 Q_{039} 、 Q_{040} 、 Q_{041} 、 Q_{042} 、 Q_{043} 、 Q_{044} 、 Q_{045} 、 Q_{046} 、 Q_{047} 、 Q_{048} 、 Q_{049} 、 Q_{050} 、 Q_{051} 、 Q_{052} 、 Q_{053} 、 Q_{054} 、 Q_{055} 、 Q_{056} 、 Q_{057} 、 Q_{058} 、 Q_{059} 、 Q_{060} 、 Q_{061} 、 Q_{062} 、 Q_{063} 、 Q_{064} 、 Q_{065} 、 Q_{066} 、 Q_{067} 、 Q_{068} 、 Q_{069} 、 Q_{070} 、 Q_{071} 、 Q_{072} 、 Q_{073} 、 Q_{074} 、 Q_{075} 、 Q_{076} 、 Q_{077} 、 Q_{078} 、 Q_{079} 、 Q_{080} 、 Q_{081} 、 Q_{082} 、 Q_{083} 、 Q_{084} 、 Q_{085} 、 Q_{086} 、 Q_{087} 、 Q_{088} 、 Q_{089} 、 Q_{090} 、 Q_{091} 、 Q_{092} 、 Q_{093} 、 Q_{094} 、 Q_{095} 、 Q_{096} 、 Q_{097} 、 Q_{098} 、 Q_{099} 、 Q_{100} 、 Q_{101} 、 Q_{102} 、 Q_{103} 、 Q_{104} 、 Q_{105} 、 Q_{106} 、 Q_{107} 、 Q_{108} 、 Q_{109} 、 Q_{110} 、 Q_{111} 、 Q_{112} 、 Q_{113} 、 Q_{114} 、 Q_{115} 、 Q_{116} 、 Q_{117} 、 Q_{118} 、 Q_{119} 、 Q_{120} 、 Q_{121} 、 Q_{122} 、 Q_{123} 、 Q_{124} 、 Q_{125} 、 Q_{126} 、 Q_{127} 、 Q_{128} 、 Q_{129} 、 Q_{130} 、 Q_{131} 、 Q_{132} 、 Q_{133} 、 Q_{134} 、 Q_{135} 、 Q_{136} 、 Q_{137} 、 Q_{138} 、 Q_{139} 、 Q_{140} 、 Q_{141} 、 Q_{142} 、 Q_{143} 、 Q_{144} 、 Q_{145} 、 Q_{146} 、 Q_{147} 、 Q_{148} 、 Q_{149} 、 Q_{150} 、 Q_{151} 、 Q_{152} 、 Q_{153} 、 Q_{154} 、 Q_{155} 、 Q_{156} 、 Q_{157} 、 Q_{158} 、 Q_{159} 、 Q_{160} 、 Q_{161} 、 Q_{162} 、 Q_{163} 、 Q_{164} 、 Q_{165} 、 Q_{166} 、 Q_{167} 、 Q_{168} 、 Q_{169} 、 Q_{170} 、 Q_{171} 、 Q_{172} 、 Q_{173} 、 Q_{174} 、 Q_{175} 、 Q_{176} 、 Q_{177} 、 Q_{178} 、 Q_{179} 、 Q_{180} 、 Q_{181} 、 Q_{182} 、 Q_{183} 、 Q_{184} 、 Q_{185} 、 Q_{186} 、 Q_{187} 、 Q_{188} 、 Q_{189} 、 Q_{190} 、 Q_{191} 、 Q_{192} 、 Q_{193} 、 Q_{194} 、 Q_{195} 、 Q_{196} 、 Q_{197} 、 Q_{198} 、 Q_{199} 、 Q_{200} 、 Q_{201} 、 Q_{202} 、 Q_{203} 、 Q_{204} 、 Q_{205} 、 Q_{206} 、 Q_{207} 、 Q_{208} 、 Q_{209} 、 Q_{210} 、 Q_{211} 、 Q_{212} 、 Q_{213} 、 Q_{214} 、 Q_{215} 、 Q_{216} 、 Q_{217} 、 Q_{218} 、 Q_{219} 、 Q_{220} 、 Q_{221} 、 Q_{222} 、 Q_{223} 、 Q_{224} 、 Q_{225} 、 Q_{226} 、 Q_{227} 、 Q_{228} 、 Q_{229} 、 Q_{230} 、 Q_{231} 、 Q_{232} 、 Q_{233} 、 Q_{234} 、 Q_{235} 、 Q_{236} 、 Q_{237} 、 Q_{238} 、 Q_{239} 、 Q_{240} 、 Q_{241} 、 Q_{242} 、 Q_{243} 、 Q_{244} 、 Q_{245} 、 Q_{246} 、 Q_{247} 、 Q_{248} 、 Q_{249} 、 Q_{250} 、 Q_{251} 、 Q_{252} 、 Q_{253} 、 Q_{254} 、 Q_{255} 、 Q_{256} 、 Q_{257} 、 Q_{258} 、 Q_{259} 、 Q_{260} 、 Q_{261} 、 Q_{262} 、 Q_{263} 、 Q_{264} 、 Q_{265} 、 Q_{266} 、 Q_{267} 、 Q_{268} 、 Q_{269} 、 Q_{270} 、 Q_{271} 、 Q_{272} 、 Q_{273} 、 Q_{274} 、 Q_{275} 、 Q_{276} 、 Q_{277} 、 Q_{278} 、 Q_{279} 、 Q_{280} 、 Q_{281} 、 Q_{282} 、 Q_{283} 、 Q_{284} 、 Q_{285} 、 Q_{286} 、 Q_{287} 、 Q_{288} 、 Q_{289} 、 Q_{290} 、 Q_{291} 、 Q_{292} 、 Q_{293} 、 Q_{294} 、 Q_{295} 、 Q_{296} 、 Q_{297} 、 Q_{298} 、 Q_{299} 、 Q_{300} 、 Q_{301} 、 Q_{302} 、 Q_{303} 、 Q_{304} 、 Q_{305} 、 Q_{306} 、 Q_{307} 、 Q_{308} 、 Q_{309} 、 Q_{310} 、 Q_{311} 、 Q_{312} 、 Q_{313} 、 Q_{314} 、 Q_{315} 、 Q_{316} 、 Q_{317} 、 Q_{318} 、 Q_{319} 、 Q_{320} 、 Q_{321} 、 Q_{322} 、 Q_{323} 、 Q_{324} 、 Q_{325} 、 Q_{326} 、 Q_{327} 、 Q_{328} 、 Q_{329} 、 Q_{330} 、 Q_{331} 、 Q_{332} 、 Q_{333} 、 Q_{334} 、 Q_{335} 、 Q_{336} 、 Q_{337} 、 Q_{338} 、 Q_{339} 、 Q_{340} 、 Q_{341} 、 Q_{342} 、 Q_{343} 、 Q_{344} 、 Q_{345} 、 Q_{346} 、 Q_{347} 、 Q_{348} 、 Q_{349} 、 Q_{350} 、 Q_{351} 、 Q_{352} 、 Q_{353} 、 Q_{354} 、 Q_{355} 、 Q_{356} 、 Q_{357} 、 Q_{358} 、 Q_{359} 、 Q_{360} 、 Q_{361} 、 Q_{362} 、 Q_{363} 、 Q_{364} 、 Q_{365} 、 Q_{366} 、 Q_{367} 、 Q_{368} 、 Q_{369} 、 Q_{370} 、 Q_{371} 、 Q_{372} 、 Q_{373} 、 Q_{374} 、 Q_{375} 、 Q_{376} 、 Q_{377} 、 Q_{378} 、 Q_{379} 、 Q_{380} 、 Q_{381} 、 Q_{382} 、 Q_{383} 、 Q_{384} 、 Q_{385} 、 Q_{386} 、 Q_{387} 、 Q_{388} 、 Q_{389} 、 Q_{390} 、 Q_{391} 、 Q_{392} 、 Q_{393} 、 Q_{394} 、 Q_{395} 、 Q_{396} 、 Q_{397} 、 Q_{398} 、 Q_{399} 、 Q_{400} 、 Q_{401} 、 Q_{402} 、 Q_{403} 、 Q_{404} 、 Q_{405} 、 Q_{406} 、 Q_{407} 、 Q_{408} 、 Q_{409} 、 Q_{410} 、 Q_{411} 、 Q_{412} 、 Q_{413} 、 Q_{414} 、 Q_{415} 、 Q_{416} 、 Q_{417} 、 Q_{418} 、 Q_{419} 、 Q_{420} 、 Q_{421} 、 Q_{422} 、 Q_{423} 、 Q_{424} 、 Q_{425} 、 Q_{426} 、 Q_{427} 、 Q_{428} 、 Q_{429} 、 Q_{430} 、 Q_{431} 、 Q_{432} 、 Q_{433} 、 Q_{434} 、 Q_{435} 、 Q_{436} 、 Q_{437} 、 Q_{438} 、 Q_{439} 、 Q_{440} 、 Q_{441} 、 Q_{442} 、 Q_{443} 、 Q_{444} 、 Q_{445} 、 Q_{446} 、 Q_{447} 、 Q_{448} 、 Q_{449} 、 Q_{450} 、 Q_{451} 、 Q_{452} 、 Q_{453} 、 Q_{454} 、 Q_{455} 、 Q_{456} 、 Q_{457} 、 Q_{458} 、 Q_{459} 、 Q_{460} 、 Q_{461} 、 Q_{462} 、 Q_{463} 、 Q_{464} 、 Q_{465} 、 Q_{466} 、 Q_{467} 、 Q_{468} 、 Q_{469} 、 Q_{470} 、 Q_{471} 、 Q_{472} 、 Q_{473} 、 Q_{474} 、 Q_{475} 、 Q_{476} 、 Q_{477} 、 Q_{478} 、 Q_{479} 、 Q_{480} 、 Q_{481} 、 Q_{482} 、 Q_{483} 、 Q_{484} 、 Q_{485} 、 Q_{486} 、 Q_{487} 、 Q_{488} 、 Q_{489} 、 Q_{490} 、 Q_{491} 、 Q_{492} 、 Q_{493} 、 Q_{494} 、 Q_{495} 、 Q_{496} 、 Q_{497} 、 Q_{498} 、 Q_{499} 、 Q_{500} 、 Q_{501} 、 Q_{502} 、 Q_{503} 、 Q_{504} 、 Q_{505} 、 Q_{506} 、 Q_{507} 、 Q_{508} 、 Q_{509} 、 Q_{510} 、 Q_{511} 、 Q_{512} 、 Q_{513} 、 Q_{514} 、 Q_{515} 、 Q_{516} 、 Q_{517} 、 Q_{518} 、 Q_{519} 、 Q_{520} 、 Q_{521} 、 Q_{522} 、 Q_{523} 、 Q_{524} 、 Q_{525} 、 Q_{526} 、 Q_{527} 、 Q_{528} 、 Q_{529} 、 Q_{530} 、 Q_{531} 、 Q_{532} 、 Q_{533} 、 Q_{534} 、 Q_{535} 、 Q_{536} 、 Q_{537} 、 Q_{538} 、 Q_{539} 、 Q_{540} 、 Q_{541} 、 Q_{542} 、 Q_{543} 、 Q_{544} 、 Q_{545} 、 Q_{546} 、 Q_{547} 、 Q_{548} 、 Q_{549} 、 Q_{550} 、 Q_{551} 、 Q_{552} 、 Q_{553} 、 Q_{554} 、 Q_{555} 、 Q_{556} 、 Q_{557} 、 Q_{558} 、 Q_{559} 、 Q_{560} 、 Q_{561} 、 Q_{562} 、 Q_{563} 、 Q_{564} 、 Q_{565} 、 Q_{566} 、 Q_{567} 、 Q_{568} 、 Q_{569} 、 Q_{570} 、 Q_{571} 、 Q_{572} 、 Q_{573} 、 Q_{574} 、 Q_{575} 、 Q_{576} 、 Q_{577} 、 Q_{578} 、 Q_{579} 、 Q_{580} 、 Q_{581} 、 Q_{582} 、 Q_{583} 、 Q_{584} 、 Q_{585} 、 Q_{586} 、 Q_{587} 、 Q_{588} 、 Q_{589} 、 Q_{590} 、 Q_{591} 、 Q_{592} 、 Q_{593} 、 Q_{594} 、 Q_{595} 、 Q_{596} 、 Q_{597} 、 Q_{598} 、 Q_{599} 、 Q_{600} 、 Q_{601} 、 Q_{602} 、 Q_{603} 、 Q_{604} 、 Q_{605} 、 Q_{606} 、 Q_{607} 、 Q_{608} 、 Q_{609} 、 Q_{610} 、 Q_{611} 、 Q_{612} 、 Q_{613} 、 Q_{614} 、 Q_{615} 、 Q_{616} 、 Q_{617} 、 Q_{618} 、 Q_{619} 、 Q_{620} 、 Q_{621} 、 Q_{622} 、 Q_{623} 、 Q_{624} 、 Q_{625} 、 Q_{626} 、 Q_{627} 、 Q_{628} 、 Q_{629} 、 Q_{630} 、 Q_{631} 、 Q_{632} 、 Q_{633} 、 Q_{634} 、 Q_{635} 、 Q_{636} 、 Q_{637} 、 Q_{638} 、 Q_{639} 、 Q_{640} 、 Q_{641} 、 Q_{642} 、 Q_{643} 、 Q_{644} 、 Q_{645} 、 Q_{646} 、 Q_{647} 、 Q_{648} 、 Q_{649} 、 Q_{650} 、 Q_{651} 、 Q_{652} 、 Q_{653} 、 Q_{654} 、 Q_{655} 、 Q_{656} 、 Q_{657} 、 Q_{658} 、 Q_{659} 、 Q_{660} 、 Q_{661} 、 Q_{662} 、 Q_{663} 、 Q_{664} 、 Q_{665} 、 Q_{666} 、 Q_{667} 、 Q_{668} 、 Q_{669} 、 Q_{670} 、 Q_{671} 、 Q_{672} 、 Q_{673} 、 Q_{674} 、 Q_{675} 、 Q_{676} 、 Q_{677} 、 Q_{678} 、 Q_{679} 、 Q_{680} 、 Q_{681} 、 Q_{682} 、 Q_{683} 、 Q_{684} 、 Q_{685} 、 Q_{686} 、 Q_{687} 、 Q_{688} 、 Q_{689} 、 Q_{690} 、 Q_{691} 、 Q_{692} 、 Q_{693} 、 Q_{694} 、 Q_{695} 、 Q_{696} 、 Q_{697} 、 Q_{698} 、 Q_{699} 、 Q_{700} 、 Q_{701} 、 Q_{702} 、 Q_{703} 、 Q_{704} 、 Q_{705} 、 Q_{706} 、 Q_{707} 、 Q_{708} 、 Q_{709} 、 Q_{710} 、 Q_{711} 、 Q_{712} 、 Q_{713} 、 Q_{714} 、 Q_{715} 、 Q_{716} 、 Q_{717} 、 Q_{718} 、 Q_{719} 、 Q_{720} 、 Q_{721} 、 Q_{722} 、 Q_{723} 、 Q_{724} 、 Q_{725} 、 Q_{726} 、 Q_{727} 、 Q_{728} 、 Q_{729} 、 Q_{730} 、 Q_{731} 、 Q_{732} 、 Q_{733} 、 Q_{734} 、 Q_{735} 、 Q_{736} 、 Q_{737} 、 Q_{738} 、 Q_{739} 、 Q_{740} 、 Q_{741} 、 Q_{742} 、 Q_{743} 、 Q_{744} 、 Q_{745} 、 Q_{746} 、 Q_{747} 、 Q_{748} 、 Q_{749} 、 Q_{750} 、 Q_{751} 、 Q_{752} 、 Q_{753} 、 Q_{754} 、 Q_{755} 、 Q_{756} 、 Q_{757} 、 Q_{758} 、 Q_{759} 、 Q_{760} 、 Q_{761} 、 Q_{762} 、 Q_{763} 、 Q_{764} 、 Q_{765} 、 Q_{766} 、 Q_{767} 、 Q_{768} 、 Q_{769} 、 Q_{770} 、 Q_{771} 、 Q_{772} 、 Q_{773} 、 Q_{774} 、 Q_{775} 、 Q_{776} 、 Q_{777} 、 Q_{778} 、 Q_{779} 、 Q_{780} 、 Q_{781} 、 Q_{782} 、 Q_{783} 、 Q_{784} 、 Q_{785} 、 Q_{786} 、 Q_{787} 、 Q_{788} 、 Q_{789} 、 Q_{790} 、 Q_{791} 、 Q_{792} 、 Q_{793} 、 Q_{794} 、 Q_{795} 、 Q_{796} 、 Q_{797} 、 Q_{798} 、 Q_{799} 、 Q_{800} 、 Q_{801} 、 Q_{802} 、 Q_{803} 、 Q_{804} 、 Q_{805} 、 Q_{806} 、 Q_{807} 、 Q_{808} 、 Q_{809} 、 Q_{810} 、 Q_{811} 、 Q_{812} 、 Q_{813} 、 Q_{814} 、 Q_{815} 、 Q_{816} 、 Q_{817} 、 Q_{818} 、 Q_{819} 、 Q_{820} 、 Q_{821} 、 Q_{822} 、 Q_{823} 、 Q_{824} 、 Q_{825} 、 Q_{826} 、 Q_{827} 、 Q_{828} 、 Q_{829} 、 Q_{830} 、 Q_{831} 、 Q_{832} 、 Q_{833} 、 Q_{834} 、 Q_{835} 、 Q_{836} 、 Q_{837} 、 Q_{838} 、 Q_{839} 、 Q_{840} 、 Q_{841} 、 Q_{842} 、 Q_{843} 、 Q_{844} 、 Q_{845} 、 Q_{846} 、 Q_{847} 、 Q_{848} 、 Q_{849} 、 Q_{850} 、 Q_{851} 、 Q_{852} 、 Q_{853} 、 Q_{854} 、 Q_{855} 、 Q_{856} 、 Q_{857} 、 Q_{858} 、 Q_{859} 、 Q_{860} 、 Q_{861} 、 Q_{862} 、 Q_{863} 、 Q_{864} 、 Q_{865} 、 Q_{866} 、 Q_{867} 、 Q_{868} 、 Q_{869} 、 $Q_{870}</$

$Q_{01}, Q_{02}, Q_{03}, Q_{04},$
 $Q_{011}, Q_{012}, Q_{013}, Q_{014}, \dots$
 \dots Nチャネル型エンハンスメントIGFET
 (NE-IGFET)、
 $OUT1, OUT2, OUT3$
 \dots 出力バッファ回路、
 $CCL, CCP, CC1, CC2, \dots$
 \dots 電源 (電源ピン、電源パッド)、
 $Dout, \dots$ 出力バッファ回路の出力、
 $Sout, \dots$ センスアンプ回路の出力、
 $SS1, SS2, SSL, SSP, \dots$
 \dots GND (GNDピン、GNDパッド)、
 Lcc, Lss, \dots 寄生インダクタンス
 $Rcc1, Rcc2, Rss1, Rss2, \dots$ 寄生抵抗、
 RD, \overline{RD}, \dots 読み出し信号

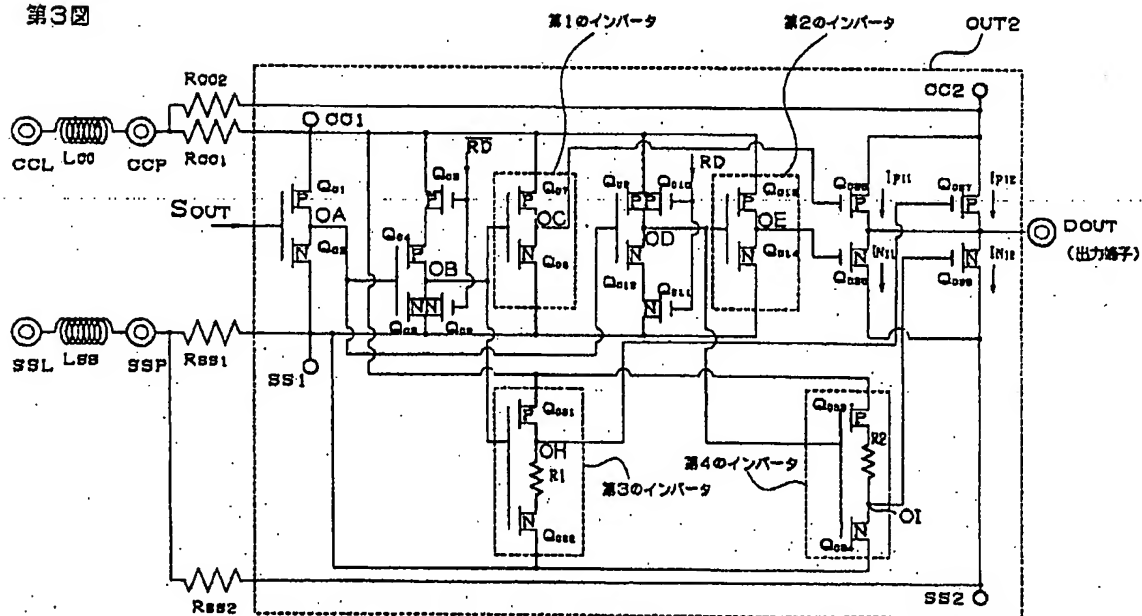
特許出願人 日本電気株式会社
 代理人 弁理士 嶋崎 隆



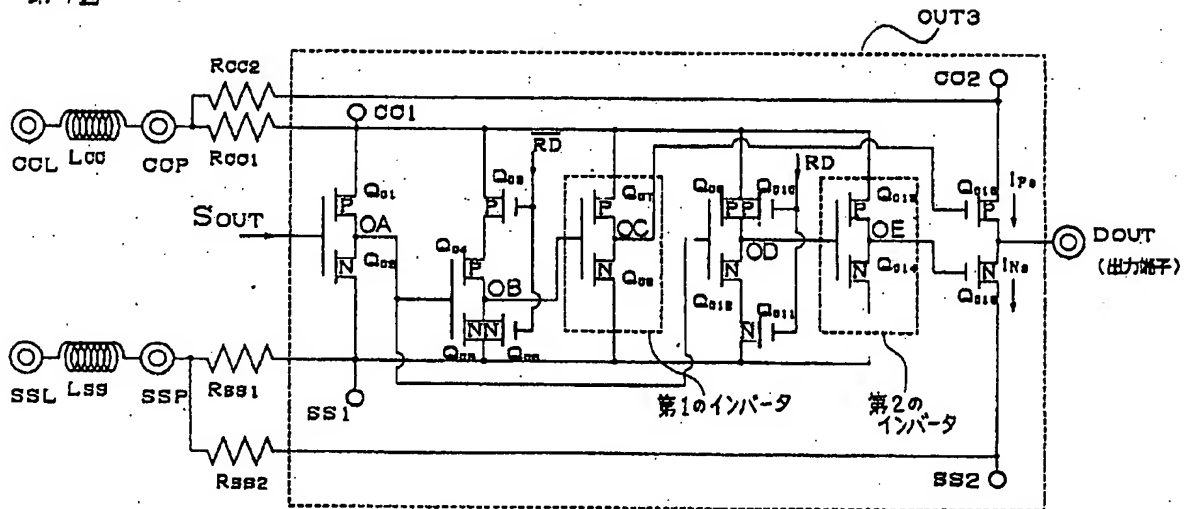
第2図



第3図



第4図



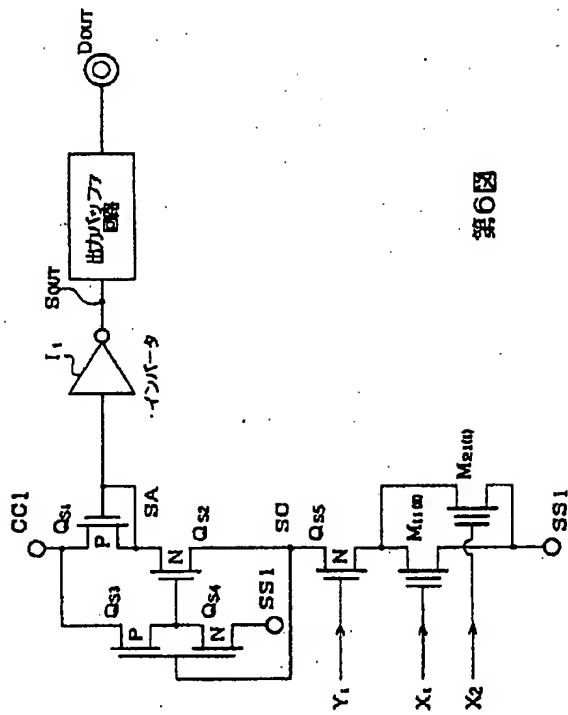


圖 6

